



Docket No.: 60188-835

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takumi MIKAWA, et al.	:	Confirmation Number: Not yet assigned
	:	
Serial No.: 10/823,797	:	Group Art Unit: Not yet assigned
	:	
Filed: April 14, 2004	:	Examiner: Not yet assigned
	:	
For: SEMICONDUCTOR APPARATUS AND THE MANUFACTURING METHOD THEREOF	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Japanese Patent Application No. 2003-149444, filed May 27, 2003.

A copy of the priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
202.756.8000 MEF:etp
Facsimile: 202.756.8087
Date: August 20, 2004

BEST AVAILABLE COPY

日本国特許庁
JAPAN PATENT OFFICE

60188-833
10/823, 797
4/14/04
MIKAWA et al.

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 5月27日
Date of Application:

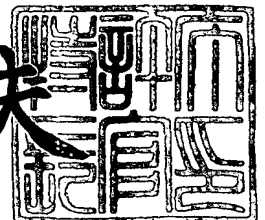
出願番号 特願2003-149444
Application Number:
[ST. 10/C]: [JP 2003-149444]

願人 松下電器産業株式会社
Applicant(s):

2004年 4月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

出証番号 出証特2004-3030109

【書類名】 特許願

【整理番号】 2926440240

【提出日】 平成15年 5月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 三河 巧

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 十代 勇治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 久都内 知恵

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 下部電極、前記下部電極の上に形成された強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子と、

異なる工程により互いに接続するように形成され、前記容量絶縁膜に水素が拡散することを防止する、第 1 の水素バリア膜及び第 2 の水素バリア膜とを備え、

前記第 1 の水素バリア膜及び第 2 の水素バリア膜は、少なくとも 1 つの結合手を有する原子を共通に含んでいることを特徴とする半導体装置。

【請求項 2】 前記結合手を有する原子は窒素原子又は酸素原子であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記結合手を有する原子は金属原子であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記金属原子は Ti 又は Ta であることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記第 1 の水素バリア膜及び前記第 2 の水素バリア膜は、同じ材料よりなる膜であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 下部電極、前記下部電極の上に形成された強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子と、

異なる工程により互いに接続するように形成され、前記容量絶縁膜に水素が拡散することを防止する、第 1 の水素バリア膜及び第 2 の水素バリア膜とを備え、

第 1 の水素バリア膜と第 2 の水素バリア膜とは、密着層を介して、互いに接続されていることを特徴とする半導体装置。

【請求項 7】 前記密着層中に、水素を吸蔵する材料が含まれていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記密着層中に、Ti 又は Ta が含まれていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】 水素の拡散を防止する第 1 の水素バリア膜を形成する工程と、前記第 1 の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりな

る容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、

前記第 1 の水素バリア膜における露出している部分に形成された表面層を除去する工程と、

前記第 1 の水素バリア膜における前記表面層が除去された部分と接続するように、水素の拡散を防止する第 2 の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 1 0】 前記容量素子を形成する工程と前記表面層を除去する工程との間に、前記第 1 の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 1 1】 前記表面層を除去する工程は、前記表面層をフッ化水素酸により洗浄して除去する工程を含むことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 1 2】 前記表面層を除去する工程は、不活性ガスを用いたドライエッチングにより前記表面層を除去する工程を含むことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 1 3】 水素の拡散を防止する第 1 の水素バリア膜を形成する工程と、

前記第 1 の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、

前記第 1 の水素バリア膜における露出している部分の表面を酸化する工程と、

前記第 1 の水素バリア膜における前記表面が酸化された部分と接続するように、酸素原子を含むと共に水素の拡散を防止する第 2 の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記容量素子を形成する工程と前記表面を酸化する工程との間に、前記第 1 の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えることを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】 前記表面を酸化する工程は、酸素雰囲気中での急速加熱処理

を施すことにより前記表面を酸化する工程を含むことを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 16】 前記表面を酸化する工程は、前記第 1 の水素バリア膜における前記容量素子から露出している部分を酸素プラズマに暴露することにより前記表面を酸化する工程を含むことを特徴とする請求項 13 に記載の半導体装置の製造方法。

【請求項 17】 水素の拡散を防止する第 1 の水素バリア膜を形成する工程と、
前記第 1 の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、
前記第 1 の水素バリア膜における露出している部分の表面を窒化する工程と、
前記第 1 の水素バリア膜における前記表面が窒化された部分と接続するように、窒素原子を含むと共に水素の拡散を防止する第 2 の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 18】 前記容量素子を形成する工程と前記表面を窒化する工程との間に、前記第 1 の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えることを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】 前記表面を窒化する工程は、窒素雰囲気中での急速加熱処理を施すことにより前記表面を窒化する工程を含むことを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 20】 前記表面を窒化する工程は、前記第 1 の水素バリア膜における前記容量素子から露出している部分を窒素プラズマに暴露することにより前記表面を窒化する工程を含むことを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 21】 水素の拡散を防止する第 1 の水素バリア膜を形成する工程と、
前記第 1 の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、

前記第 1 の水素バリア膜における露出している部分に密着層を形成する工程と

、
前記密着層を介して前記第 1 の水素バリア膜と接続するように、水素の拡散を防止する第 2 の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 22】 前記容量素子を形成する工程と前記密着層を形成する工程との間に、前記第 1 の水素バリア膜における前記容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えることを特徴とする請求項 21 に記載の半導体装置の製造方法。

【請求項 23】 前記密着層中に、水素を吸蔵する材料が含まれていることを特徴とする請求項 21 に記載の半導体装置の製造方法。

【請求項 24】 前記密着層中に、Ti 又は Ta が含まれていることを特徴とする請求項 21 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量素子を構成する強誘電体膜又は高誘電率膜よりなる容量絶縁膜への水素の拡散を防止する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

強誘電体メモリとしては、プレーナ型構造を使用する 1～64 k b i t の小容量のものが量産され始め、最近ではスタック型構造を使用する 256 k b i t ～4 M b i t の大容量のものが開発の中心となってきた。スタック型の強誘電体メモリを実現するためには、集積度の大幅な向上、ひいては強誘電体メモリの微細化が不可欠である。これを実現するためには、強誘電体キャパシタを形成する工程、トランジスタを形成する工程及び配線を形成する工程の各工程間における整合を図ることが重要となる。

【0003】

このため、例えば、W-CVD を使用するコンタクトの埋め込み技術又はトラ

ンジスタの特性を回復するために行なわれる水素雰囲気下での熱処理等に代表されるように、水素雰囲気中で処理が行なわれることが多い半導体プロセスにおいて、強誘電体キャパシタが還元されることなく、強誘電体膜の分極特性を維持することが課題となる。

【0004】

従来、強誘電体キャパシタを水素バリア膜により被覆する技術が一般的である。これは、酸化アルミニウム膜、シリコン窒化膜に代表される水素バリア膜により、強誘電体キャパシタの形成以降において半導体プロセスで発生する水素の拡散を遮蔽して、強誘電体膜の分極量の減少を防止するものである。水素バリア膜による強誘電体キャパシタの被覆構造として強誘電体キャパシタの周囲を完全に被覆する構造を採用することにより、強誘電体膜の分極特性の劣化を最も効果的に防止している（例えば、特許文献1参照）。このようにして、強誘電体キャパシタの水素による分極特性の劣化を防止して、高集積された強誘電体メモリ又は高誘電体メモリを実現している。

【0005】

以下、周囲が完全に被覆された構造を有する強誘電体キャパシタを有する従来の半導体装置について図9を参照しながら説明する。図9は従来の半導体装置の断面図である。

【0006】

図9に示すように、半導体基板10の表層部には不純物拡散層11が離間して形成されている。半導体基板10上には、ゲート酸化膜12及びゲート電極13が形成されており、ゲート酸化膜12及びゲート電極13の両側面にはサイドウォール14が形成されている。また、半導体基板10の上には素子分離酸化膜15が形成されている。半導体基板10の上には、ゲート酸化膜12、ゲート電極13、サイドウォール14及び素子分離膜15を覆うように第1の層間絶縁膜16が形成されており、該第1の層間絶縁膜16の上には第1の水素バリア膜17が形成されている。

【0007】

第1の水素バリア膜17の上には、下部電極18、強誘電体膜よりなる容量絶

縁膜 1 9 及び上部電極 2 0 から構成される強誘電体キャパシタが形成されており、上部電極 2 0 の上には第 2 の水素バリア膜 2 1 が形成されている。第 1 の水素バリア膜 1 7 の上には、強誘電体キャパシタの側面及び第 2 の水素バリア膜 2 1 を覆うように第 3 の水素バリア膜 2 2 が形成されている。第 1 の層間絶縁膜 1 6 の上には、第 1 の水素バリア膜 1 7 及び第 3 の水素バリア膜 2 2 を覆うように第 2 の層間絶縁膜 2 3 が形成されている。第 2 の層間絶縁膜 2 3 の上には、配線 2 4 a 及び 2 4 b が形成されている。配線 2 4 a は第 2 の層間絶縁膜 2 3 及び第 3 の水素バリア膜 2 2 を貫通して延びるように第 2 の水素バリア膜 2 2 の上面に接続されている。また、配線 2 4 a 及び 2 4 b は第 1 の層間絶縁膜 1 6 及び第 2 の層間絶縁膜 2 3 を貫通して延びるように不純物拡散層 1 1 の上面に接続されている。

【 0 0 0 8 】

このように、図 9 に示した強誘電体キャパシタの周囲は、第 1 の水素バリア膜 1 8、第 2 の水素バリア膜 2 2 及び第 3 の水素バリア膜 2 3 により完全に覆われているため、強誘電体キャパシタの形成以降において、強誘電体キャパシタに対して還元性雰囲気中における熱処理を施しても、水素が容量絶縁膜 1 9 に拡散することを抑制できるので、容量絶縁膜 1 9 を構成する強誘電体膜の分極特性の劣化を低減することができる。

【 0 0 0 9 】

【特許文献 1】

特許第 3 0 9 8 4 7 4 号 （第 3 頁、第 1 図）

【 0 0 1 0 】

【発明が解決しようとする課題】

しかしながら、本件発明者らが、前述のように周囲が水素バリア膜で覆われた強誘電体キャパシタに対して還元性雰囲気中における熱処理を施したところ、容量絶縁膜を構成する強誘電体膜の分極特性の劣化を完全に防止することができないということが判明した。特に、水素アニールを高濃度で施した場合には、強誘電体膜の分極特性の劣化を完全に防止できないことが顕著に現れた。

【 0 0 1 1 】

以下に、図 10～図 12 を参照しながら具体的に説明する。

【0012】

本件発明者らは、図 10 に示すような、周囲が水素バリア膜で覆われた強誘電体キャパシタに対して還元性雰囲気中において熱処理を施した。

【0013】

図 10 に示すように、メモリセルトランジスタ（図示は省略している）が形成されている半導体基板 30 の上には第 1 の層間絶縁膜 31 が形成されており、該第 1 の層間絶縁膜 31 の上にはシリコン窒化膜よりなる第 1 の水素バリア膜 32 が形成されている。該第 1 の水素バリア膜 32 の上には導電性の第 2 の水素バリア膜 33 が形成されている。第 2 の水素バリア膜 33 の上には、表層が白金膜よりなる下部電極 34、強誘電体膜として例えば SBT（SrTaBiO）膜よりなる容量絶縁膜 35 及び白金膜よりなる上部電極 36 から構成される強誘電体キャパシタが形成されている。

【0014】

第 1 の水素バリア膜 32 の上には、第 2 の水素バリア膜 33 の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するための第 2 の層間絶縁膜 37 が形成されている。第 1 の層間絶縁膜 31 の上には、第 1 の水素バリア膜 32 の側面及び第 2 の層間絶縁膜 37 を覆うように酸化チタンアルミニウム膜よりなる第 3 の水素バリア膜 38 が形成されている。第 1 の水素バリア膜 32 及び第 1 の層間絶縁膜 31 を貫通して延びるようにコンタクトプラグ 39 が形成されており、該コンタクトプラグ 39 は半導体基板 30 と強誘電体キャパシタの下部電極 34 とを第 2 の水素バリア膜 33 を介して接続している。

【0015】

このように、図 10 に示した強誘電体キャパシタは第 1 の水素バリア膜 32、第 2 の水素バリア膜 33 及び第 3 の水素バリア膜 38 により周囲が完全に被覆された構造を有しているため、強誘電体キャパシタの形成以降において還元性雰囲気中における熱処理を施しても、容量絶縁膜 35 への水素の拡散が抑制されるので、容量絶縁膜 35 を構成する強誘電体膜の分極特性の劣化を防止することができる。

【0 0 1 6】

図 1 1 は、図 1 0 に示した強誘電体キャパシタに対して、水素濃度 4 % 及び 1 0 0 % の各雰囲気中において、4 0 0 °C で 1 0 分間の熱処理を行なった場合の強誘電体膜よりなる容量絶縁膜 3 5 の分極特性を示している。図 1 1 から明らかなように、水素濃度 4 % 及び 1 0 0 % の各雰囲気中における熱処理を施した場合において、強誘電体膜よりなる容量絶縁膜 3 5 の分極量が減少しており、水素濃度が 1 0 0 % の雰囲気中における熱処理の場合に示されたように、特に強い還元性の雰囲気中において熱処理を施すと、強誘電体膜の分極特性が劣化する度合いが大きいことが判明した。

【0 0 1 7】

図 1 2 は、図 1 1 に示した水素濃度 1 0 0 % の雰囲気中において、4 0 0 °C で 1 0 分間の熱処理を行なった場合について、第 1 の水素バリア膜 3 2 と第 2 の水素バリア膜 3 8 との接続部分の T E M 断面図を示しているが、図 1 2 から明らかなように、シリコン窒化膜よりなる第 1 の水素バリア膜 3 2 と酸化チタンアルミニウム膜よりなる第 2 の水素バリア膜 3 8 との接続部分 1 2 A に隙間が生じていることが観察された。

【0 0 1 8】

このようにして、本件発明者らは、強誘電体膜の分極特性が劣化する原因は、水素バリア膜同士が接続している界面を通じて水素が拡散することにあるということを見出した。すなわち、本件発明者らは、強誘電体膜の分極特性が劣化する度合いが水素バリア膜同士の密着性に大きく起因するために、水素バリア膜に用いる材料の選択又は水素バリア膜同士が接続しているときの接続表面の状態が極めて重要になるということを見出したのである。

【0 0 1 9】

ところで、前述の図 9 で示した強誘電体キャパシタの場合、第 1 の水素バリア膜 1 7 は、減圧 C V D 法又はスパッタリング法により形成された 1 0 ~ 2 0 0 n m の膜厚を有するシリコン窒化膜よりなり、第 2 の水素バリア膜 2 1 は、スパッタリング法により形成された 5 0 n m の膜厚を有する窒化チタン膜よりなり、さらに、第 3 の水素バリア膜 2 2 は、下から順にシリコン酸化膜及びシリコン窒化

膜が積層された積層膜又は例えばシリコン酸化膜のように酸素及び窒素を含む膜よりなっている。

【0020】

しかしながら、第3の水素バリア膜22としてシリコン酸化膜及びシリコン窒化膜の積層膜を用いた場合には、水素バリア膜同士の接続部分の密着性という観点に鑑みると、従来の強誘電体キャパシタを構成する強誘電体膜の分極特性が劣化する程度が高くなるという推測が可能である。これからも分かる通り、強誘電体膜の分極特性の劣化を抑制するために、水素バリア膜同士を接続する部分の密着性を向上させる観点に着目して、水素バリア膜に用いる材料又は水素バリア膜の表面処理に関する議論は未だになされていない。

【0021】

本発明は、前記に鑑み、強誘電体キャパシタに対して還元性雰囲気中において熱処理を施す場合に、容量絶縁膜の分極特性が劣化することを低減することを目的とする。

【0022】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の半導体装置は、下部電極、下部電極の上に形成された強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子と、異なる工程により互いに接続するように形成され、容量絶縁膜に水素が拡散することを防止する、第1の水素バリア膜及び第2の水素バリア膜とを備え、第1の水素バリア膜及び第2の水素バリア膜は、少なくとも1つの結合手を有する原子を共通に含んでいることを特徴とする半導体装置。

【0023】

本発明の第1の半導体装置によると、第1の水素バリア膜及び第2の水素バリア膜中に結合手を有する原子が共通に含まれていることにより、第1の水素バリア膜と第2の水素バリア膜との密着性が向上するため、第1の水素バリア膜と第2の水素バリア膜とが接続されている界面を通じて容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

【 0 0 2 4 】

本発明の第 1 の半導体装置において、結合手を有する原子は窒素原子又は酸素原子であることが好ましい。

【 0 0 2 5 】

このようにすると、第 1 の水素バリア膜及び第 2 の水素バリア膜を比較的に容易なプロセスで形成することができると共に、第 1 の水素バリア膜と第 2 の水素バリア膜との密着性を向上させることができる。

【 0 0 2 6 】

本発明の第 1 の半導体装置において、結合手を有する原子は金属原子であることが好ましい。

【 0 0 2 7 】

このようにすると、金属原子は拡散係数が大きいため、第 1 の水素バリア膜と第 2 の水素バリア膜との密着性をさらに向上させることができるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

【 0 0 2 8 】

本発明の第 1 の半導体装置において、金属原子は T i 又は T a であることが好ましい。

【 0 0 2 9 】

このようにすると、T i 又は T a は拡散係数がとても大きく、第 1 の水素バリア膜と第 2 の水素バリア膜との密着性を向上させる働きが高いため、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を大幅に低減させることができる。

【 0 0 3 0 】

本発明の第 1 の半導体装置において、第 1 の水素バリア膜及び第 2 の水素バリア膜は、同じ材料よりなる膜であることが好ましい。

【 0 0 3 1 】

このようにすると、第 1 の水素バリア膜と第 2 の水素バリア膜との密着性が向上すると共に、後工程における熱処理による熱膨張、熱収縮又はストレス変化の影響

響を受けることがなくなるため、第1の水素バリア膜と第2の水素バリア膜とが接続されている部分が熱的に安定するので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

【0032】

本発明の第2の半導体装置は、下部電極、下部電極の上に形成された強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子と、異なる工程により互いに接続するように形成され、容量絶縁膜に水素が拡散することを防止する、第1の水素バリア膜及び第2の水素バリア膜とを備え、第1の水素バリア膜と第2の水素バリア膜とは、密着層を介して、互いに接続されていることを特徴とする。

【0033】

本発明の第2の半導体装置によると、第1の水素バリア膜と第2の水素バリア膜との間に密着層を介在させることにより、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、第1の水素バリア膜及び第2の水素バリア膜に用いる材料の選択の幅が制限されることなく、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

【0034】

本発明の第2の半導体装置において、密着層中に、水素を吸蔵する材料が含まれていることが好ましい。

【0035】

このようにすると、密着層中に拡散される微量の水素を捕獲することができるので、容量絶縁膜に拡散する水素を効果的に抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

【0036】

本発明の第2の半導体装置において、密着層中に、Ti又はTaが含まれていることが好ましい。

【0037】

このようにすると、Ti又はTaは拡散係数がとても大きいため、第1の水素

バリア膜と第2の水素バリア膜との密着性をさらに向上させると共に、Ti又はTaは水素を吸蔵する能力を有するため、容量絶縁膜に拡散する水素を効果的に抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を大幅に低減させることができる。

【0038】

本発明の第1の半導体装置の製造方法は、水素の拡散を防止する第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、第1の水素バリア膜における露出している部分に形成された表面層を除去する工程と、第1の水素バリア膜における表面層が除去された部分と接続するように、水素の拡散を防止する第2の水素バリア膜を形成する工程とを備えることを特徴とする。

【0039】

第1の半導体装置の製造方法によると、第1の水素バリア膜と第2の水素バリア膜との密着性を低減させる要因となる第1の水素バリア膜の表面に形成される表面層、例えば、ドライエッチングの際に用いたガスの残留物、ウェットエッチングの際に用いた薬液の残留物、これらのガス若しくは薬液と第1の水素バリア膜との反応層、又はパターニングの際にマスクとして用いたレジストを除去する際のアッシング等によって生じる酸化層等を除去した後に、第1の水素バリア膜と第2の水素バリア膜とを接続するため、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

【0040】

本発明の第1の半導体装置の製造方法において、容量素子を形成する工程と表面層を除去する工程との間に、第1の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第1の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第1の水素バリア膜と第2の水素バリア膜とを確実に接続できるので、第1の水素バリア膜と第2の水素バリア膜との密着性を確実に向上させることができる。

【 0 0 4 1 】

本発明の第 1 の半導体装置の製造方法において、表面層を除去する工程は、表面層をフッ化水素酸により洗浄して除去する工程を含むことが好ましい。

【 0 0 4 2 】

このようにすると、フッ化水素酸の濃度及び洗浄時間を制御することにより、表面層のみを容易に除去することができる。

【 0 0 4 3 】

本発明の第 1 の半導体装置の製造方法において、表面層を除去する工程は、不活性ガスを用いたドライエッチングにより表面層を除去する工程を含むことが好ましい。

【 0 0 4 4 】

このようにすると、表面層のみを容易に除去できると共に、第 1 の水素バリア膜に与えるダメージを抑制することができる。

【 0 0 4 5 】

本発明の第 2 の半導体装置の製造方法は、水素の拡散を防止する第 1 の水素バリア膜を形成する工程と、第 1 の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、第 1 の水素バリア膜における露出している部分の表面を酸化する工程と、第 1 の水素バリア膜における表面が酸化された部分と接続するように、酸素原子を含むと共に水素の拡散を防止する第 2 の水素バリア膜を形成する工程とを備えることを特徴とする。

【 0 0 4 6 】

本発明の第 2 の半導体装置の製造方法によると、第 1 の水素バリア膜において酸化させた表面層と、該表面層に対する結合手を有する酸素原子を含む第 2 の水素バリア膜とを接続するため、第 1 の水素バリア膜と第 2 の水素バリア膜との密着性を向上させることができるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

【 0 0 4 7 】

本発明の第 2 の半導体装置の製造方法において、容量素子を形成する工程と表面を酸化する工程との間に、第 1 の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第 1 の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第 1 の水素バリア膜と第 2 の水素バリア膜とを確実に接続できるので、第 1 の水素バリア膜と第 2 の水素バリア膜との密着性を確実に向上させることができる。

【0048】

本発明の第 2 の半導体装置の製造方法において、表面を酸化する工程は、酸素雰囲気中での急速加熱処理を施すことにより表面を酸化する工程を含むことが好ましい。

【0049】

このようにすると、第 1 の水素バリア膜における表面のみを容易に酸化させることができると共に、第 1 の水素バリア膜における下地へ与える影響を抑制することができる。

【0050】

本発明の第 2 の半導体装置の製造方法において、表面を酸化する工程は、第 1 の水素バリア膜における容量素子から露出している部分を酸素プラズマに暴露することにより前記表面を酸化する工程を含むことが好ましい。

【0051】

このようにすると、低温での酸化を行なうので、第 1 の水素バリア膜における表面のみをさらに容易に酸化させることができると共に、第 1 の水素バリア膜における下地へ与える影響をさらに抑制することができる。

【0052】

本発明の第 3 の半導体装置の製造方法は、水素の拡散を防止する第 1 の水素バリア膜を形成する工程と、第 1 の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、第 1 の水素バリア膜における露出している部分の表面を窒化する工程と、第 1 の水素バリア膜における表面が窒化された部分と接続するように、窒素原子を含むと共に水素の拡散を防止する第 2 の水素バリア膜を形成する工程とを

備えることを特徴とする。

【0053】

本発明の第3の半導体装置の製造方法によると、第1の水素バリア膜において窒化させた表面層と、該表面層に対する結合手を有する窒素原子を含む第2の水素バリア膜とを接続するため、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

【0054】

本発明の第3の半導体装置の製造方法において、容量素子を形成する工程と表面を窒化する工程との間に、第1の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第1の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第1の水素バリア膜と第2の水素バリア膜とを確実に接続できるので、第1の水素バリア膜と第2の水素バリア膜との密着性を確実に向上させることができる。

【0055】

本発明の第3の半導体装置の製造方法において、表面を窒化する工程は、窒素雰囲気中での急速加熱処理を施すことにより表面を窒化する工程を含むことが好ましい。

【0056】

このようにすると、第1の水素バリア膜における表面のみを容易に窒化させることができると共に、第1の水素バリア膜における下地へ与える影響を抑制することができる。

【0057】

本発明の第3の半導体装置の製造方法において、表面を窒化する工程は、第1の水素バリア膜における容量素子から露出している部分を窒素プラズマに暴露することにより表面を窒化する工程を含むことが好ましい。

【0058】

このようにすると、低温での酸化を行なうので、第1の水素バリア膜における表面のみをさらに容易に酸化させることができると共に、第1の水素バリア膜に

おける下地へ与える影響をさらに抑制することができる。

【0059】

本発明の第4の半導体装置の製造方法は、水素の拡散を防止する第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に、下部電極、強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子を形成する工程と、第1の水素バリア膜における露出している部分に密着層を形成する工程と、密着層を介して前記第1の水素バリア膜と接続するように、水素の拡散を防止する第2の水素バリア膜を形成する工程とを備えることが好ましい。

【0060】

本発明の第4の半導体装置の製造方法によると、第1の水素バリア膜と第2の水素バリア膜との間に密着層を形成していることにより、第1の水素バリア膜と第2の水素バリア膜との密着性を向上させることができるので、第1の水素バリア膜及び第2の水素バリア膜に用いる材料の選択の幅が制限されることなく、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

【0061】

本発明の第4の半導体装置の製造方法において、容量素子を形成する工程と密着層を形成する工程との間に、第1の水素バリア膜における容量素子が形成されている領域の外側領域の少なくとも一部を露出させる工程をさらに備えていれば、第1の水素バリア膜と容量素子との間に他の層が介在している場合であっても、第1の水素バリア膜と第2の水素バリア膜とを確実に接続できるので、第1の水素バリア膜と第2の水素バリア膜との密着性を確実に向上させることができる。

【0062】

本発明の第4の半導体装置の製造方法において、密着層中に、水素を吸蔵する材料が含まれていることが好ましい。

【0063】

このようにすると、密着層中に拡散される微量の水素を捕獲することができるので、容量絶縁膜に拡散される水素を効果的に抑制できるので、強誘電体膜又は

高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

【0064】

本発明の第4の半導体装置の製造方法において、密着層中に、Ti又はTaが含まれていることが好ましい。

【0065】

このようにすると、Ti又はTaは拡散係数がとても大きいため、第1の水素バリア膜と第2の水素バリア膜との密着性をさらに向上させると共に、Ti又はTaは水素を吸蔵する能力を有するため、容量絶縁膜に拡散される水素を効果的に抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を大幅に低減させることができる。

【0066】

【発明の実施の形態】

（第1の実施形態）

以下、本発明の第1の実施形態に係る半導体装置について、図1～図3を参照しながら説明する。図1は、第1の実施形態に係る半導体装置の断面構造を示している。

【0067】

図1に示すように、メモリセルトランジスタ（図示は省略している）が形成されている半導体基板100の上には、例えばボロン、リン等が添加されたシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜101が形成されており、該第1の層間絶縁膜101の上にはシリコン窒化膜よりなる第1の水素バリア膜102が形成されている。該第1の水素バリア膜102の上には窒化チタンアルミニウム膜よりなる導電性の第2の水素バリア膜103が形成されている。該第2の水素バリア膜103の上には下部電極104が形成されている。下部電極104は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜よりなる下層膜とから構成されている。尚、下部電極104は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜の

うちの 2 以上の膜が積層された積層膜よりなる下層膜とから構成してもよい。

【0068】

下部電極 104 の上には、強誘電体膜として例えば SBT (SrTaBiO) 膜よりなる容量絶縁膜 105 が形成されており、該容量絶縁膜 105 の上には、白金膜よりなる上部電極 106 が形成されている。このように、下部電極 104、容量絶縁膜 105 及び上部電極 106 より、強誘電体キャパシタ (容量素子) が形成されている。

【0069】

第 1 の水素バリア膜 102 の上には、第 2 の水素バリア膜 103 の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するためのオゾン TEOS 膜よりなる第 2 の層間絶縁膜 107 が形成されている。第 1 の層間絶縁膜 101 の上に、第 1 の水素バリア膜 102 の側面及び第 2 の層間絶縁膜 107 を覆うように窒化チタンアルミニウム膜よりなる第 3 の水素バリア膜 108 が形成されている。

【0070】

第 1 の水素バリア膜 102 及び第 1 の層間絶縁膜 101 を貫通して延びるように W 膜よりなるコンタクトプラグ 109 が形成されており、該コンタクトプラグ 109 はヒ素等が注入された半導体基板 100 と強誘電体キャパシタの下部電極 104 とを第 2 の水素バリア膜 103 を介して接続している。第 1 の層間絶縁膜 101 の上には、第 3 の水素バリア膜 108 を覆うように第 3 の層間絶縁膜 110 が形成されている。尚、第 3 の層間絶縁膜 110 の上には、通常、配線が形成される。

【0071】

このように、図 1 に示した強誘電体キャパシタは第 1 の水素バリア膜 102、第 2 の水素バリア膜 103 及び第 3 の水素バリア膜 108 により周囲が完全に被覆された構造を有している。

【0072】

ここで、第 1 の実施形態に係る半導体装置の特徴は、第 1 の水素バリア膜 102 がシリコン窒化膜よりなると共に、第 3 の水素バリア膜 108 が窒化チタンア

ルミニウム膜よりなり、第1の水素バリア膜102及び第3の水素バリア膜108に窒素原子という結合手を有する原子が共通に含まれていることである。

【0073】

図2は、図1に示す強誘電体キャパシタに対して、水素濃度4%及び100%の各雰囲気中において、400℃で10分間の熱処理を行なった場合の強誘電体膜よりなる容量絶縁膜105の分極特性を示している。図2から明らかなように、前述の図11に示した場合と比較して、水素濃度4%及び100%の各雰囲気中における熱処理の場合には、強誘電体膜よりなる容量絶縁膜105の分極特性の劣化が大幅に抑制されており、水素濃度が100%の雰囲気中における熱処理の場合に示されているように、特に強い還元性雰囲気中において熱処理を施した場合に、強誘電体膜よりなる容量絶縁膜105の分極特性の劣化を抑制する度合いが大きいことが分かる。

【0074】

図3は、図2に示した水素濃度100%の雰囲気中において、400℃で10分間の熱処理を行なった場合について、第1の水素バリア膜102と第3の水素バリア膜108との接続部分のTEM断面図を示しているが、図3から明らかなように、シリコン窒化膜よりなる第1の水素バリア膜102と窒化チタンアルミニウム膜よりなる第3の水素バリア膜108との接続部分3Aには、前述の図12に示したような隙間は観察されなかった。

【0075】

このようにして、本件発明者らは、強誘電体膜の分極特性が劣化する原因は、水素バリア膜同士が接続される界面の状態に大きく依存することにあることを改めて確認し、互いに接続される部分を有する水素バリア膜のそれぞれに対して結合手を有する原子を共通に含ませて水素バリア膜同士の密着性を向上させれば、強誘電体膜の分極特性の劣化を抑制できるという効果を得たのである。

【0076】

以上のように、第1の実施形態によると、第1の水素バリア膜102及び第3の水素バリア膜108中に結合手を有する原子が共通に含まれていることにより、第1の水素バリア膜102と第3の水素バリア膜108との密着性が向上する

ため、第1の水素バリア膜102と第3の水素バリア膜108とが接続されている界面を通じて容量絶縁膜105に水素が拡散することを抑制できるので、強誘電体膜よりなる容量絶縁膜105の分極特性の劣化を低減させることができる。その結果、信頼性に優れた強誘電体メモリを実現することができる。

【0077】

また、図1に示した強誘電体キャパシタは、下部電極104が容量規定口となる構造であったが、これに代えて、上部電極106が容量規定口となる構造であってもよい。

【0078】

また、第1の実施形態において、容量絶縁膜105は強誘電体膜としてSBT膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばPZT系よりなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜105は強誘電体膜よりなる場合であったが、容量絶縁膜105が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

【0079】

また、第1の実施形態において、第1の水素バリア膜102及び第3の水素バリア膜108に結合手を有する原子として窒素原子を共通に含ませた場合について説明したが、第1の水素バリア膜102にシリコン酸窒化膜を用いると共に、第3の水素バリア膜108に酸化チタンアルミニウム膜又は酸化アルミニウム膜等を用いて、第1の水素バリア膜102及び第3の水素バリア膜108に結合手を有する原子として酸素原子を共通に含ませることにより、結合手を有する原子が窒素原子である場合と同様に、第1の水素バリア膜102と第3の水素バリア膜108との密着性を向上させることができる。このように、第1の水素バリア膜102及び第3の水素バリア膜108に窒素原子又は酸素原子を共通に含ませることは、熱処理、プラズマ処理、反応性スパッタ及びCVD等において、窒化物又は酸化物の形成が容易になるので、半導体プロセスにおける自由度を高めることができる。

【0080】

また、第1の水素バリア膜102及び第3の水素バリア膜108は、同じ材料よりなる膜としてもよい。これにより、第1の水素バリア膜102と第3の水素バリア膜108との密着性が向上すると共に、後工程における熱処理による熱膨張、熱収縮又はストレス変化の影響を受けることがなくなるため、第1の水素バリア膜102と第3の水素バリア膜108とが接続されている部分が熱的に安定するので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

【0081】

(第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置について図4を参照しながら説明する。図4は、第2の実施形態に係る半導体装置の断面構造を示している。

【0082】

図4に示すように、メモリセルトランジスタ(図示は省略している)が形成されている半導体基板200の上には、例えばボロン、リン等が添加されたシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜201が形成されており、該第1の層間絶縁膜201の上には酸化チタンアルミニウム膜よりなる第1の水素バリア膜202が形成されている。該第1の水素バリア膜202の上には窒化チタンアルミニウム膜よりなる導電性の第2の水素バリア膜203が形成されている。該第2の水素バリア膜203の上には下部電極204が形成されている。下部電極204は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜よりなる下層膜とから構成されている。尚、下部電極204は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜のうちの2以上の膜が積層された積層膜よりなる下層膜とから構成してもよい。

【0083】

下部電極204の上には、強誘電体膜として例えばSBT(SrTaBiO)膜よりなる容量絶縁膜205が形成されており、該容量絶縁膜205の上には、

白金膜よりなる上部電極 206 が形成されている。このように、下部電極 204、容量絶縁膜 205 及び上部電極 206 より、強誘電体キャパシタ（容量素子）が形成されている。

【0084】

第1の水素バリア膜 202 の上には、第2の水素バリア膜 203 の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するためのオゾンTEOS膜よりなる第2の層間絶縁膜 207 が形成されている。第1の層間絶縁膜 201 の上に、第1の水素バリア膜 202 の側面及び第2の層間絶縁膜 207 を覆うように窒化タンタル膜よりなる第3の水素バリア膜 208 が形成されている。

【0085】

第1の水素バリア膜 202 及び第1の層間絶縁膜 201 を貫通して延びるようにW膜よりなるコンタクトプラグ 209 が形成されており、該コンタクトプラグ 209 はヒ素等が注入された半導体基板 200 と強誘電体キャパシタの下部電極 204 とを第2の水素バリア膜 203 を介して接続している。第1の層間絶縁膜 201 の上には、第3の水素バリア膜 208 を覆うように第3の層間絶縁膜 210 が形成されている。尚、第3の層間絶縁膜 210 の上には、通常、配線が形成される。

【0086】

このように、図4に示した強誘電体キャパシタは第1の水素バリア膜 202、第2の水素バリア膜 203 及び第3の水素バリア膜 208 により周囲が完全に被覆された構造を有している。

【0087】

ここで、第1の実施形態に係る半導体装置の特徴は、第1の水素バリア膜 202 が酸化チタンアルミニウム膜よりなると共に、第3の水素バリア膜 208 が窒化タンタル膜よりなり、互いに結びつく結合手を有する金属原子であるチタン、アルミニウム及びタンタルが含まれていることである。すなわち、第1の水素バリア膜 202 及び第3の水素バリア膜中に、互いに結びつく結合手を有する金属原子を共通に含ませることにより、金属原子の相互拡散作用によって、第1の水

素バリア膜 2 0 2 と第 3 の水素バリア膜 2 0 8 との密着性を向上させることができる。また、チタン又はタンタルは拡散係数が高いため、相互拡散作用が大きくなるので、第 1 の水素バリア膜 2 0 2 と第 3 の水素バリア膜 2 0 8 との密着性がさらに向上する。

【 0 0 8 8 】

以上のように、第 2 の実施形態によると、第 1 の水素バリア膜 2 0 2 及び第 3 の水素バリア膜 2 0 8 中に共通に含まれる互いに結びつく結合手を有する金属原子の存在により、相互拡散作用が生じて第 1 の水素バリア膜 2 0 2 と第 3 の水素バリア膜 2 0 8 との密着性が向上するため、第 1 の水素バリア膜 2 0 2 と第 3 の水素バリア膜 2 0 8 とが接続されている界面を通じて容量絶縁膜 2 0 5 に水素が拡散することを抑制できるので、強誘電体膜よりなる容量絶縁膜 2 0 5 の分極特性の劣化を低減させることができる。その結果、信頼性に優れた強誘電体メモリを実現することができる。また、第 1 の水素バリア膜 2 0 2 及び第 3 の水素バリア膜 2 0 8 中に共通に含まれる結合手を有する原子として、半導体プロセスにおいて幅広く利用されている金属原子を利用することができ、なかでもチタン及びタンタルを用いれば、拡散係数が高くなって相互拡散作用が大きくなるという点で利点が多い。

【 0 0 8 9 】

また、図 4 に示した強誘電体キャパシタは、下部電極 2 0 4 が容量規定口となる構造であったが、これに代えて、上部電極 2 0 6 が容量規定口となる構造であってもよい。

【 0 0 9 0 】

また、第 2 の実施形態において、容量絶縁膜 2 0 5 は強誘電体膜として S B T 膜より構成されている場合であったが、これに代えて、還元され得る材料である例えば P Z T 系よりなる膜、B L T 系よりなる膜、B S T 系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜 2 0 5 は強誘電体膜よりなる場合であったが、容量絶縁膜 2 0 5 が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

【0091】

また、第1の水素バリア膜202及び第3の水素バリア膜208は、同じ材料よりなる膜としてもよい。これにより、第1の水素バリア膜202と第3の水素バリア膜208との密着性が向上すると共に、後工程における熱処理による熱膨張、熱収縮又はストレス変化の影響を受けることがなくなるため、第1の水素バリア膜202と第3の水素バリア膜208とが接続されている部分が熱的に安定するので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化をさらに低減させることができる。

【0092】

(第3の実施形態)

以下、本発明の第3の実施形態に係る半導体装置について図5を参照しながら説明する。図5は第3の実施形態に係る半導体装置の断面構造を示している。

【0093】

図5に示すように、メモリセルトランジスタ（図示は省略している）が形成されている半導体基板300上には、例えばボロン、リン等が添加されたシリコン酸化膜であるBPSG膜よりなる第1の層間絶縁膜301が形成されており、該第1の層間絶縁膜301の上には第1の水素バリア膜302が形成されている。該第1の水素バリア膜302の上には窒化チタンアルミニウム膜よりなる導電性の第2の水素バリア膜303が形成されている。該第2の水素バリア膜303の上には下部電極304が形成されている。下部電極304は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜よりなる下層膜とから構成されている。尚、下部電極304は、白金膜よりなる上層膜と、バリア膜として酸化イリジウム膜、イリジウム膜、窒化チタンアルミニウム膜又は窒化チタン膜のうちの2以上の膜が積層された積層膜よりなる下層膜とから構成してもよい。

【0094】

下部電極304の上には、強誘電体膜として例えばSBT（SrTaBiO）膜よりなる容量絶縁膜305が形成されており、該容量絶縁膜305の上には、白金膜よりなる上部電極306が形成されている。このように、下部電極304

、容量絶縁膜 305 及び上部電極 306 より、強誘電体キャパシタ（容量素子）が形成されている。

【0095】

第1の水素バリア膜 302 の上には、第2の水素バリア膜 303 の側面及び強誘電体キャパシタを覆うように、該強誘電体キャパシタの段差を緩和するためのオゾンTEOS膜よりなる第2の層間絶縁膜 307 が形成されている。第1の層間絶縁膜 301 の上には、第1の水素バリア膜 302 の側面及び第2の層間絶縁膜 307 を覆うように膜厚が1～10 nmであるチタン膜よりなる密着層 308 が形成されている。該密着層 308 の上には第3の水素バリア膜 309 が形成されている。このように、第1の水素バリア膜 302 と第3の水素バリア膜 309 とは密着層 308 を介して接続されている。

【0096】

第1の水素バリア膜 302 及び第1の層間絶縁膜 301 を貫通して延びるようにW膜よりなるコンタクトプラグ 310 が形成されており、該コンタクトプラグ 310 はヒ素等が注入された半導体基板 300 と強誘電体キャパシタの下部電極 304 とを第2の水素バリア膜 303 を介して接続している。第1の層間絶縁膜 301 の上には、第3の水素バリア膜 309 を覆うように第3の層間絶縁膜 311 が形成されている。尚、第3の層間絶縁膜 311 の上には、通常、配線が形成される。

【0097】

このように、図5に示した強誘電体キャパシタは第1の水素バリア膜 302、第2の水素バリア膜 303 及び第3の水素バリア膜 309 により周囲が完全に被覆された構造を有している。

【0098】

ここで、第3の実施形態に係る半導体装置の特徴は、第1の水素バリア膜 302 と第3の水素バリア膜 309 との間に密着層 308 を介在させることにより、第1の水素バリア膜 302 と第3の水素バリア膜 309 との密着性を向上させた点である。

【0099】

以上のように、第3の実施形態によると、第1の水素バリア膜302と第3の水素バリア膜309との間に密着層308を介在させることにより、第1の水素バリア膜302と第3の水素バリア膜309との密着性を向上させることができるため、第1の水素バリア膜302及び第3の水素バリア膜309に用いる材料の選択の幅が制限されることなく、容量絶縁膜305に水素が拡散することを抑制できるので、強誘電体膜よりなる容量絶縁膜305の分極特性の劣化を低減させることができる。その結果、信頼性に優れた強誘電体メモリを実現することができる。

【0100】

また、密着層308を通じて容量絶縁膜305に水素が拡散することを防止するために、密着層308中に遷移金属である3A、4A及び5A族を含ませて、これらの金属が有する水素を吸蔵する能力を利用すれば、密着層308を通じて容量絶縁膜305に水素が拡散することをさらに防止できるので、強誘電体膜よりなる容量絶縁膜305の分極特性の劣化をさらに低減させることができる。特に、遷移金属としてチタン又はタンタルを利用すれば、チタン又はタンタルは高い拡散係数を有するので、第1の水素バリア膜302と第3の水素バリア膜309とを相互に密着させる効果をさらに高めることができる。

【0101】

また、図5に示した強誘電体キャパシタは、下部電極304が容量規定口となる構造であったが、これに代えて、上部電極306が容量規定口となる構造であってもよい。

【0102】

また、第3の実施形態において、容量絶縁膜305は強誘電体膜としてSBT膜より構成されている場合であったが、これに代えて、還元され得る材料である例えばPZT系よりなる膜、BLT系よりなる膜、BST系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜105は強誘電体膜よりなる場合であったが、容量絶縁膜305が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

【0 1 0 3】**(第 4 の実施形態)**

以下、本発明の第 4 の実施形態に係る半導体装置の製造方法について図 6 (a) ～図 6 (e) を参照しながら説明する。

【0 1 0 4】

図 6 (a) に示すように、メモリセルトランジスタ (図示は省略している) が形成されている半導体基板 4 0 0 上に例えばボロン及びリン等が添加された S i O₂ で示されるシリコン酸化膜である B P S G 膜よりなる第 1 の層間絶縁膜 4 0 1 を形成する。次に、プラズマ C V D 法により、該第 1 の層間絶縁膜 4 0 1 上にシリコン窒化膜よりなる第 1 の水素バリア膜 4 0 2 を形成する。尚、プラズマ C V D 法によってシリコン窒化膜よりなる第 1 の水素バリア膜 4 0 2 を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

【0 1 0 5】

次に、図 6 (b) に示すように、第 1 の層間絶縁膜 4 0 1 及び第 1 の水素バリア膜 4 0 2 に、W 膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ 4 0 3 を形成する。次に、第 1 の水素バリア膜 4 0 2 及びコンタクトプラグ 4 0 3 の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第 1 の導電膜を堆積する。この後、水素バリア層、酸素バリア層及び第 1 の導電膜をパターンニングすることにより、コンタクトプラグ 4 0 3 の上端部と接続する第 2 の水素バリア膜 4 0 4 と下部電極 4 0 5 とを形成する。

【0 1 0 6】

次に、下部電極 4 0 5 の上に、下から順に S B T 膜よりなる強誘電体膜及び白金膜よりなる第 2 の導電膜を成膜した後、強誘電体膜及び第 2 の導電膜をパターンニングして容量絶縁膜 4 0 6 及び上部電極 4 0 7 を形成する。このようにして、下部電極 4 0 5、容量絶縁膜 4 0 6 及び上部電極 4 0 7 よりなる強誘電体キャパ

シタ（容量素子）が形成され、コンタクトプラグ403は、第2の水素バリア膜404を介して、半導体基板400と強誘電体キャパシタの下部電極405とを電氣的に接続している。次に、第1の水素バリア膜402の上に、第2の水素バリア膜404の側面及び強誘電体キャパシタを覆うように、オゾンTEOS膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜408を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるものではない。

【0107】

次に、図6（c）に示すように、絶縁膜408をパターニングすることにより、第1の水素バリア膜402の表面を露出させる（尚、ここで、パターニング後の絶縁膜408を絶縁膜408aと呼ぶと共に、表面が露出された第1の水素バリア膜402を第1の水素バリア膜402aと呼ぶ）。このように、第1の水素バリア膜402の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第1の水素バリア膜402と強誘電体キャパシタとの間に他の層が介在している場合であっても、第1の水素バリア膜402と後述する第3の水素バリア膜410とを確実に接続できるので、第1の水素バリア膜と第3の水素バリア膜410との密着性を確実に向上させることができる。

【0108】

また、図6（c）に示すように、第1の水素バリア膜402aにおいて露出された部分の表面には、表面層409が形成されている。すなわち、通常、ドライエッチング又はウェットエッチングによるパターニングを行なうので、ドライエッチングの際に用いたガスの残留物、ウェットエッチングの際に用いた薬液の残留物、これらのガス若しくは薬液と第1の水素バリア膜402との反応層、又はパターニングの際にマスクとして用いたレジストを除去する際のアッシング等によって生じる酸化層等が、表面層409として第1の水素バリア膜402において露出された部分の表面に形成される。

【0109】

次に、図6（d）に示すように、フッ化水素酸を用いた洗浄により、第1の水

素バリア膜 402a における表面層 409 を除去する（尚、ここで、表面層 409 が除去された後の第 1 の水素バリア膜 402 を第 1 の水素バリア膜 402b と呼ぶ）。このようにすると、フッ化水素酸の濃度及び洗浄時間を制御することにより、表面層のみを容易に除去することができる。

【0110】

次に、図 6（e）に示すように、表面層 409 が除去された後の第 1 の水素バリア膜 402b の上に、絶縁膜 408a の全体を覆うように、第 3 の水素バリア膜 410 を形成する。尚、図 6（e）では、第 1 の水素バリア膜 402b 及び第 3 の水素バリア膜 410 がパターンニングされた状態で示されているが、パターンニングしなくてもかまわない。

【0111】

以上のように、第 4 の実施形態によると、第 1 の水素バリア膜 402 と第 2 の水素バリア膜 410 との密着性を低減させる要因となる第 1 の水素バリア膜 402 の表面に形成される表面層 409 を除去した後に、第 1 の水素バリア膜 402 と第 2 の水素バリア膜 410 とを接続するため、第 1 の水素バリア膜 402 と第 2 の水素バリア膜 410 との密着性を向上させることができるので、強誘電体膜よりなる容量絶縁膜 406 の分極特性の劣化を低減させることができる。その結果、信頼性に優れた誘電体メモリを実現することができる。

【0112】

また、第 4 の実施形態において、表面層 409 を除去する場合に、フッ化水素酸を薬液として用いてウェットエッチングを行なったが、アルゴンガス等の不活性ガスを用いたプラズマによるドライエッチングを行なってもよい。このようにすると、フッ化水素酸を薬液として用いるウェットエッチングによりダメージを受けやすい酸化アルミニウム膜等が第 1 の水素バリア膜 402 として用いられている場合であっても、第 1 の水素バリア膜 402 内に影響を与えることなく表面層 409 のみを除去することができる。さらに、フッ化水素酸を薬液として用いたウェットエッチングによっては化学的に除去することができない表面層 409 であっても、原子を弾き出すことによる物理的な方法で除去することが可能になる。

【0 1 1 3】

また、第 4 の実施形態において、図 6 に示した強誘電体キャパシタは、下部電極 4 0 5 が容量規定口となる構造であったが、これに代えて、上部電極 4 0 7 が容量規定口となる構造であってもよい。

【0 1 1 4】

また、第 4 の実施形態において、容量絶縁膜 4 0 6 は強誘電体膜として S B T 膜より構成されている場合であったが、これに代えて、還元され得る材料である例えば P Z T 系よりなる膜、B L T 系よりなる膜、B S T 系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜 4 0 6 は強誘電体膜よりなる場合であったが、容量絶縁膜 4 0 6 が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

【0 1 1 5】

(第 5 の実施形態)

以下、本発明の第 5 の実施形態に係る半導体装置の製造方法について図 7 (a) ~ 図 7 (e) を参照しながら説明する。

【0 1 1 6】

図 7 (a) に示すように、メモリセルトランジスタ (図示は省略している) が形成されている半導体基板 5 0 0 上に例えばボロン及びリン等が添加された S i O₂ で示されるシリコン酸化膜である B P S G 膜よりなる第 1 の層間絶縁膜 5 0 1 を形成する。次に、プラズマ C V D 法により、該第 1 の層間絶縁膜 5 0 1 上にシリコン窒化膜よりなる第 1 の水素バリア膜 5 0 2 を形成する。尚、プラズマ C V D 法によってシリコン窒化膜よりなる第 1 の水素バリア膜 5 0 2 を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

【0 1 1 7】

次に、図 7 (b) に示すように、第 1 の層間絶縁膜 5 0 1 及び第 1 の水素バリア膜 5 0 2 に、W 膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ 5 0 3 を形成する。次に、第 1 の水素バリア

膜 502 及びコンタクトプラグ 503 の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第 1 の導電膜を堆積する。この後、水素バリア層、酸素バリア層及び第 1 の導電膜をパターニングすることにより、コンタクトプラグ 503 の上端部と接続する第 2 の水素バリア膜 504 と下部電極 505 とを形成する。

【0118】

次に、下部電極 505 の上に、下から順に SBT 膜よりなる強誘電体膜及び白金膜よりなる第 2 の導電膜を成膜した後、強誘電体膜及び第 2 の導電膜をパターニングして容量絶縁膜 506 及び上部電極 507 を形成する。このようにして、下部電極 505、容量絶縁膜 506 及び上部電極 507 よりなる強誘電体キャパシタ（容量素子）が形成され、コンタクトプラグ 503 は、第 2 の水素バリア膜 504 を介して、半導体基板 500 と強誘電体キャパシタの下部電極 505 とを電気的に接続している。次に、第 1 の水素バリア膜 502 の上に、第 2 の水素バリア膜 504 の側面及び強誘電体キャパシタを覆うように、オゾン TEOS 膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜 508 を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるものではない。

【0119】

次に、図 7（c）に示すように、絶縁膜 508 をパターニングすることにより、第 1 の水素バリア膜 502 の表面を露出させる（尚、ここで、パターニング後の絶縁膜 508 を絶縁膜 508a と呼ぶ）。このように、第 1 の水素バリア膜 502 の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第 1 の水素バリア膜 502 と強誘電体キャパシタとの間に他の層が介在している場合であっても、第 1 の水素バリア膜 502 と後述する第 3 の水素バリア膜 510 とを確実に接続できるので、第 1 の水素バリア膜と第 3 の水素バリア膜 510 との密着性を確実に向上させることができる。

【0 1 2 0】

次に、図 7 (d) に示すように、酸素雰囲気中での急速加熱処理を施すことにより、第 1 の水素バリア膜 5 0 2 における表面に例えば S i O で示されるシリコン酸化層よりなる表面酸化層 5 0 9 を形成する（尚、ここで、表面酸化層 5 0 9 が形成された後の第 1 の水素バリア膜 5 0 2 を第 1 の水素バリア膜 5 0 2 a と呼ぶ）。また、酸素雰囲気中での急速加熱処理を 4 0 0 ℃～8 0 0 ℃の範囲で施すことにより、第 1 の水素バリア膜 5 0 2 における下地となる部分にダメージを与えることなく、第 1 の水素バリア膜における表面のみを酸化させて表面酸化層 5 0 9 を形成することができる。

【0 1 2 1】

次に、図 7 (e) に示すように、第 1 の水素バリア膜 5 0 2 a の上に、絶縁膜 5 0 8 a の全体を覆うように、酸化アルミニウム膜よりなる第 3 の水素バリア膜 5 1 0 を形成する。尚、図 7 (e) では、第 1 の水素バリア膜 5 0 2 a 及び第 3 の水素バリア膜 5 1 0 がパターンニングされた状態が示されているが、パターンニングしなくてもかまわない。

【0 1 2 2】

以上のように、第 5 の実施形態によると、第 1 の水素バリア膜 5 0 2 において酸化した表面酸化層 5 0 9 と、該表面酸化層 5 0 9 に対する結合手を有する酸素原子を含む第 3 の水素バリア膜 5 1 0 とを接続するため、第 1 の水素バリア膜 5 0 2 と第 3 の水素バリア膜 5 1 0 との密着性を向上させることができるので、強誘電体膜よりなる容量絶縁膜 5 0 6 の分極特性の劣化を低減させることができる。

【0 1 2 3】

また、第 5 の実施形態において、第 1 の水素バリア膜 5 0 2 における表面を酸化して表面酸化層 5 0 9 を形成する際に、酸素雰囲気下での急速加熱処理を施したが、酸素プラズマに暴露させることによって表面酸化層 5 0 9 を形成してもよい。このようにすると、3 0 0 ℃～6 0 0 ℃の範囲の低温によって表面酸化層 5 0 9 を形成することができるので、第 1 の水素バリア膜 5 0 2 における下地となる部分へのダメージをより少なくすることができる。

【0 1 2 4】

また、第 5 の実施形態において、第 1 の水素バリア膜 5 0 2 における表面を酸化することにより表面酸化層 5 0 9 を形成し、該表面酸化層 5 0 9 と酸素原子を含む第 2 の水素バリア膜 5 1 0 と接続して、第 1 の水素バリア膜 5 0 2 と第 3 の水素バリア膜 5 1 0 との密着性を高める場合について説明した。しかしながら、第 1 の水素バリア膜 5 0 2 として例えば酸化チタンアルミニウム膜を用いてその表面を窒化することにより表面窒化層を形成し、該表面窒化層と窒素を含む例えば窒化チタンアルミニウム膜を用いた第 3 の水素バリア膜 5 1 0 とを接続する場合であっても、第 3 の水素バリア膜 5 1 0 に含まれる窒素原子が表面窒化層に対する結合手を有するので、同様に、第 1 の水素バリア膜 5 0 2 と第 3 の水素バリア膜 5 1 0 との密着性を高めることができる。

【0 1 2 5】

また、第 5 の実施形態において、図 7 に示した強誘電体キャパシタは、下部電極 5 0 5 が容量規定口となる構造であったが、これに代えて、上部電極 5 0 7 が容量規定口となる構造であってもよい。

【0 1 2 6】

また、第 5 の実施形態において、容量絶縁膜 5 0 6 は強誘電体膜として S B T 膜より構成されている場合であったが、これに代えて、還元され得る材料である例えば P Z T 系よりなる膜、B L T 系よりなる膜、B S T 系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜 5 0 6 は強誘電体膜よりなる場合であったが、容量絶縁膜 5 0 6 が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

【0 1 2 7】

(第 6 の実施形態)

以下、本発明の第 6 の実施形態に係る半導体装置の製造方法について図 8 (a) ~ 図 8 (e) を参照しながら説明する。

【0 1 2 8】

図 8 (a) に示すように、メモリセルトランジスタ (図示は省略している) が

形成されている半導体基板 600 上に例えばボロン及びリン等が添加された SiO₂ で示されるシリコン酸化膜である BPSG 膜よりなる第 1 の層間絶縁膜 601 を形成する。次に、プラズマ CVD 法により、該第 1 の層間絶縁膜 601 上にシリコン窒化膜よりなる第 1 の水素バリア膜 602 を形成する。尚、プラズマ CVD 法によってシリコン窒化膜よりなる第 1 の水素バリア膜 602 を形成する際、一般に、活性水素が多数発生するが、後述する強誘電体キャパシタが形成される前であるので、活性水素の影響は原理的に回避できる。

【0129】

次に、図 8 (b) に示すように、第 1 の層間絶縁膜 601 及び第 1 の水素バリア膜 602 に、W 膜又はポリシリコン膜よりなり、下端部がメモリセルトランジスタと接続されるコンタクトプラグ 603 を形成する。次に、第 1 の水素バリア膜 602 及びコンタクトプラグ 603 の上に、窒化チタンアルミニウム膜よりなる水素バリア層を堆積した後、該水素バリア層の上に、下から順にイリジウム膜及び酸化イリジウム膜が積層された積層体よりなる酸素バリア層を介して、強誘電体膜の結晶成長を促進する白金膜よりなる第 1 の導電膜を堆積する。この後、水素バリア層、酸素バリア層及び第 1 の導電膜をパターンングすることにより、コンタクトプラグ 603 の上端部と接続する第 2 の水素バリア膜 604 と下部電極 605 とを形成する。

【0130】

次に、下部電極 605 の上に、下から順に SBT 膜よりなる強誘電体膜及び白金膜よりなる第 2 の導電膜を成膜した後、強誘電体膜及び第 2 の導電膜をパターンングして容量絶縁膜 606 及び上部電極 607 を形成する。このようにして、下部電極 605、容量絶縁膜 606 及び上部電極 607 よりなる強誘電体キャパシタが形成され、コンタクトプラグ 603 は、第 2 の水素バリア膜 604 を介して、半導体基板 600 と強誘電体キャパシタの下部電極 605 とを電気的に接続している。次に、第 1 の水素バリア膜 602 の上に、第 2 の水素バリア膜 604 の側面及び強誘電体キャパシタを覆うように、オゾン TEOS 膜よりなると共に強誘電体キャパシタにおける段差を緩和する絶縁膜 608 を堆積する。尚、以上で述べた半導体装置の製造工程は一例であり、本実施形態はこれに限定されるも

のではない。

【0131】

次に、図8(c)に示すように、絶縁膜608をパターンニングすることにより、第1の水素バリア膜602の表面を露出させる（尚、ここで、パターンニング後の絶縁膜608を絶縁膜608aと呼ぶ）。このように、第1の水素バリア膜602の表面における強誘電体キャパシタが形成されている領域の外側領域の少なくとも一部を露出させることにより、第1の水素バリア膜602と強誘電体キャパシタとの間に他の層が介在している場合であっても、第1の水素バリア膜602と後述する第3の水素バリア膜610とを確実に接続できるので、第1の水素バリア膜と第3の水素バリア膜610との密着性を確実に向上させることができる。

【0132】

次に、図8(d)に示すように、第1の水素バリア膜602の上に、絶縁膜608aを覆うようにチタン膜よりなる密着層609を形成する。

【0133】

次に、図8(e)に示すように、密着層609の上に第3の水素バリア膜610を形成する。尚、図8(e)では、第1の水素バリア膜602a、密着層609及び第3の水素バリア膜610がパターンニングされた状態で示されているが、パターンニングしなくてもかまわない。

【0134】

以上のように、第5の実施形態によると、第1の水素バリア膜602と第3の水素バリア膜610との間に密着層609を形成することにより、第1の水素バリア膜602と第3の水素バリア膜610との密着性を向上させることができるので、第1の水素バリア膜602及び第3の水素バリア膜610に用いる材料の選択の幅が制限されることなく、強誘電体膜よりなる容量絶縁膜606の分極特性の劣化を低減させることができる。

【0135】

また、密着層609を通じて容量絶縁膜606に水素が拡散することを防止するために、密着層609中に遷移金属である3A、4A及び5A族を含ませて、

これらの金属が有する水素を吸蔵する能力を利用すれば、密着層 6 0 9 を通じて容量絶縁膜 6 0 6 に水素が拡散することをさらに防止できるので、強誘電体膜よりなる容量絶縁膜 6 0 6 の分極特性の劣化をさらに低減させることができる。特に、遷移金属としてチタン又はタンタルを利用すれば、チタン又はタンタルは高い拡散係数を有するので、第 1 の水素バリア膜 6 0 2 と第 3 の水素バリア膜 6 1 0 とを相互に密着させる効果をさらに高めることができる。

【0 1 3 6】

また、第 6 の実施形態において、図 8 に示した強誘電体キャパシタは、下部電極 6 0 5 が容量規定口となる構造であったが、これに代えて、上部電極 6 0 7 が容量規定口となる構造であってもよい。

【0 1 3 7】

また、第 6 の実施形態において、容量絶縁膜 6 0 6 は強誘電体膜として S B T 膜より構成されている場合であったが、これに代えて、還元され得る材料である例えば P Z T 系よりなる膜、B L T 系よりなる膜、B S T 系よりなる膜、又はタンタルオキサイド膜等よりなる場合であっても同様の効果を得ることができる。また、容量絶縁膜 6 0 6 は強誘電体膜よりなる場合であったが、容量絶縁膜 6 0 6 が高誘電率膜よりなる場合であっても、同様の効果が得られることはいうまでもない。

【0 1 3 8】

【発明の効果】

以上のように、本発明によると、第 1 の水素バリア膜及び第 2 の水素バリア膜中に結合手を有する原子が共通に含まれていることにより、第 1 の水素バリア膜と第 2 の水素バリア膜との密着性が向上するため、第 1 の水素バリア膜と第 2 の水素バリア膜とが接続されている界面を通じて容量絶縁膜に水素が拡散することを抑制できるので、強誘電体膜又は高誘電率膜よりなる容量絶縁膜の分極特性の劣化を低減させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の半導体装置の断面図である。

【図 2】

本発明の第 1 の実施形態における強誘電体膜の分極特性を示すグラフである。

【図 3】

本発明の第 1 の実施形態における水素バリア膜同士の接続部分を示す T E M 断面図である。

【図 4】

本発明の第 2 の実施形態の半導体装置の断面図である。

【図 5】

本発明の第 3 の実施形態の半導体装置の断面図である。

【図 6】

(a) ~ (e) は、本発明の第 4 の実施形態の半導体装置の製造方法を示す断面図である。

【図 7】

(a) ~ (e) は、本発明の第 5 の実施形態の半導体装置の製造方法を示す断面図である。

【図 8】

(a) ~ (e) は、本発明の第 6 の実施形態の半導体装置の製造方法を示す断面図である。

【図 9】

従来の強誘電体キャパシタを有する半導体装置の断面図である。

【図 1 0】

本発明者らが実験の対象に用いた半導体装置の断面図である。

【図 1 1】

本発明者らが実験の対象に用いた半導体装置における強誘電体膜の分極特性を示すグラフである。

【図 1 2】

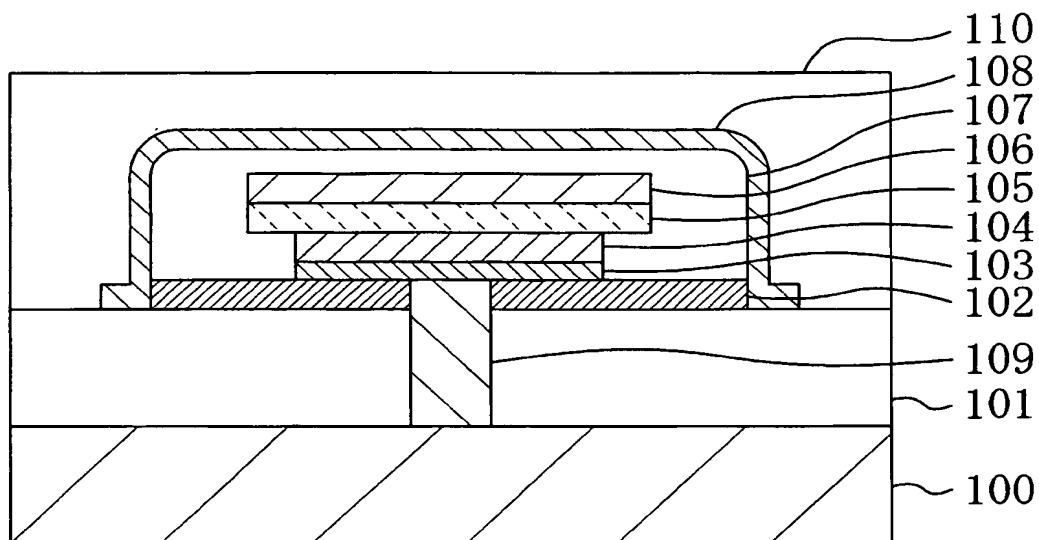
本発明者らが実験の対象に用いた半導体装置における水素バリア膜同士の接続部分を示す T E M 断面図である。

【符号の説明】

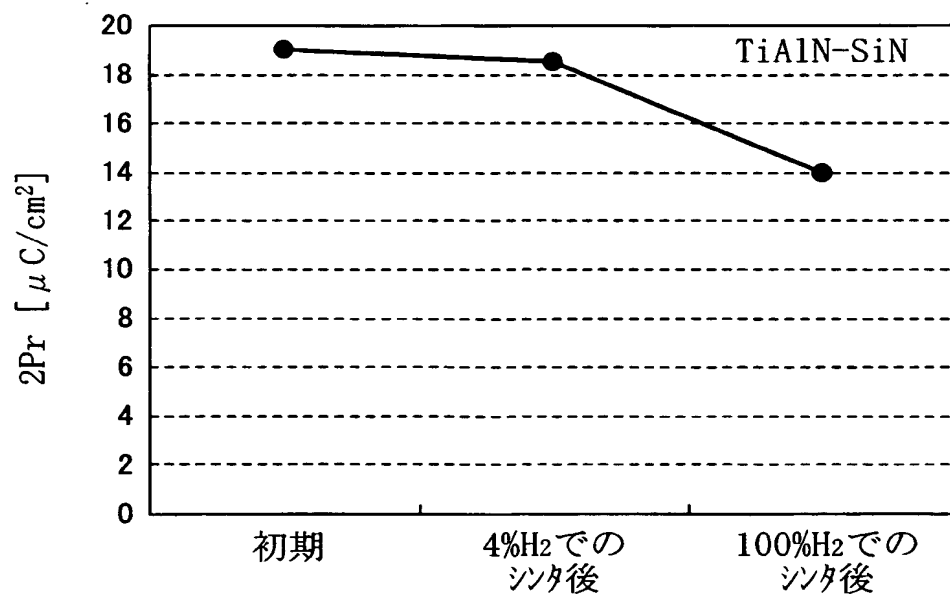
1 0 0、2 0 0、3 0 0、4 0 0、5 0 0、6 0 0	半導体基板
1 0 1、2 0 1、3 0 1、4 0 1、5 0 1、6 0 1	第 1 の層間絶縁膜
1 0 2、2 0 2、3 0 2、4 0 2、5 0 2、6 0 2	第 1 の水素バリア膜
1 0 3、2 0 3、3 0 3、4 0 4、5 0 4、6 0 4	第 2 の水素バリア膜
1 0 4、2 0 4、3 0 4、4 0 5、5 0 5、6 0 5	下部電極
1 0 5、2 0 5、3 0 5、4 0 6、5 0 6、6 0 6	容量絶縁膜
1 0 6、2 0 6、3 0 6、4 0 7、5 0 7、6 0 7	上部電極
1 0 7、2 0 7、3 0 7、4 0 8、5 0 8、6 0 8	第 2 の層間絶縁膜
1 0 8、2 0 8、3 0 9、4 1 0、5 1 0、6 1 0	第 3 の水素バリア膜
1 0 9、2 0 9、3 1 0、4 0 3、5 0 3、6 0 3	コンタクトプラグ
1 1 0、2 1 0、3 1 0	第 3 の層間絶縁膜
3 0 8、6 0 9	密着層
4 0 9	表面層
5 0 9	表面酸化層

【書類名】 図面

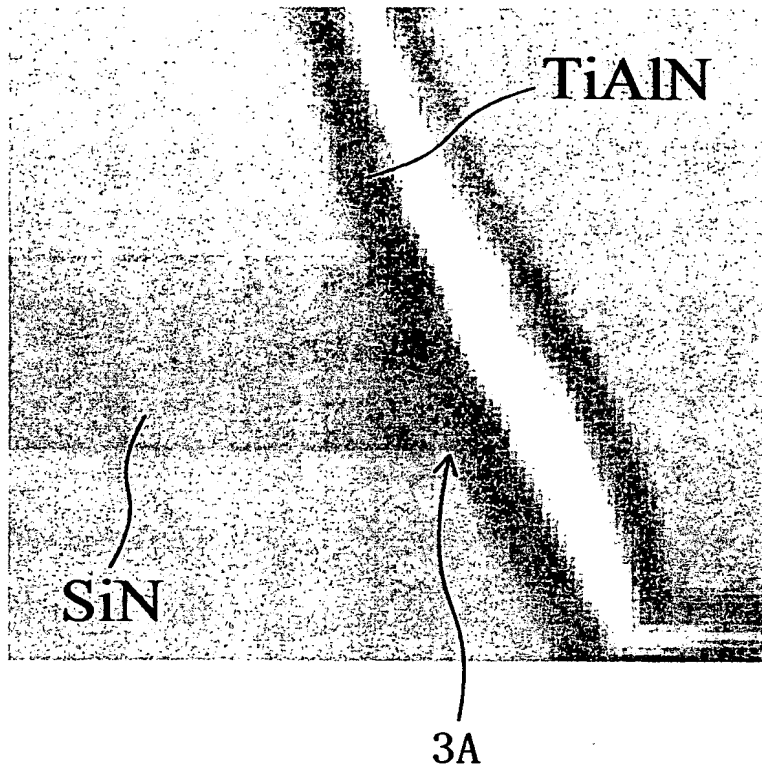
【図 1】



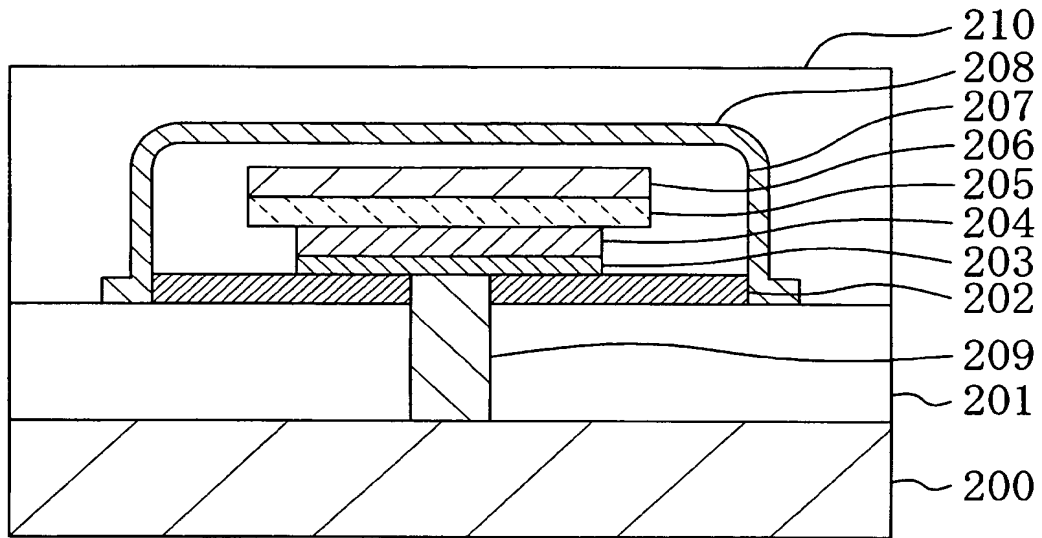
【図 2】



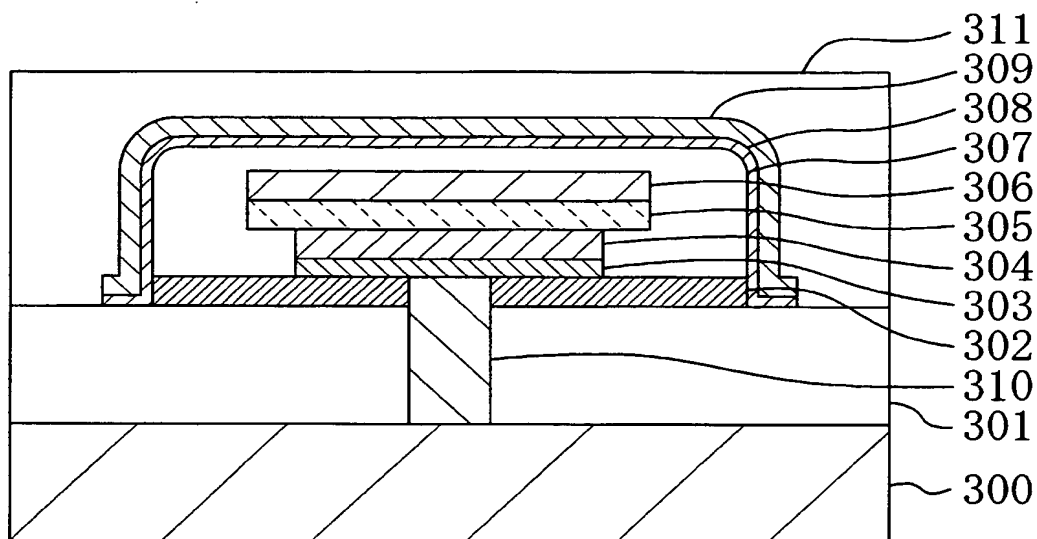
【図 3】



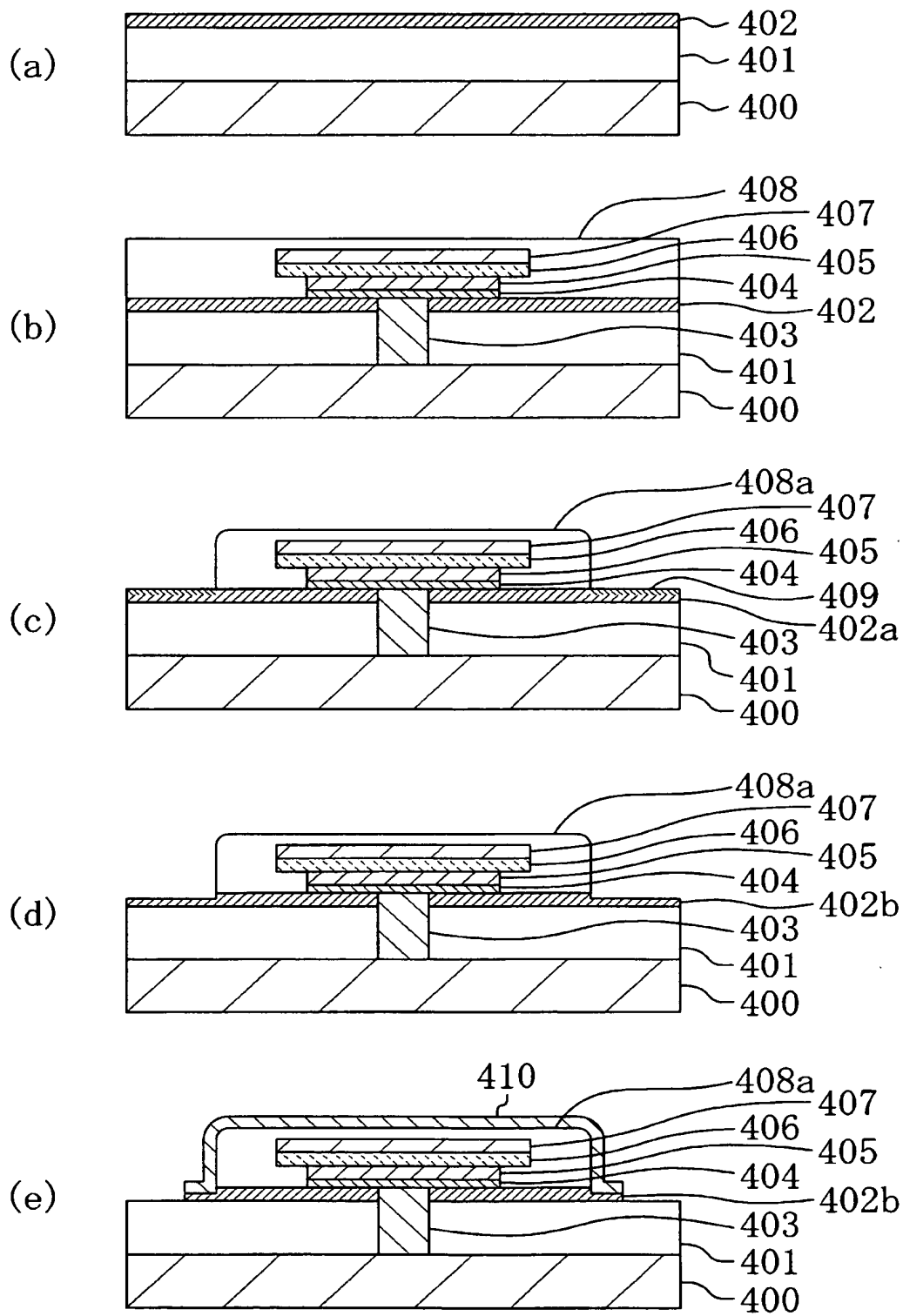
【図 4】



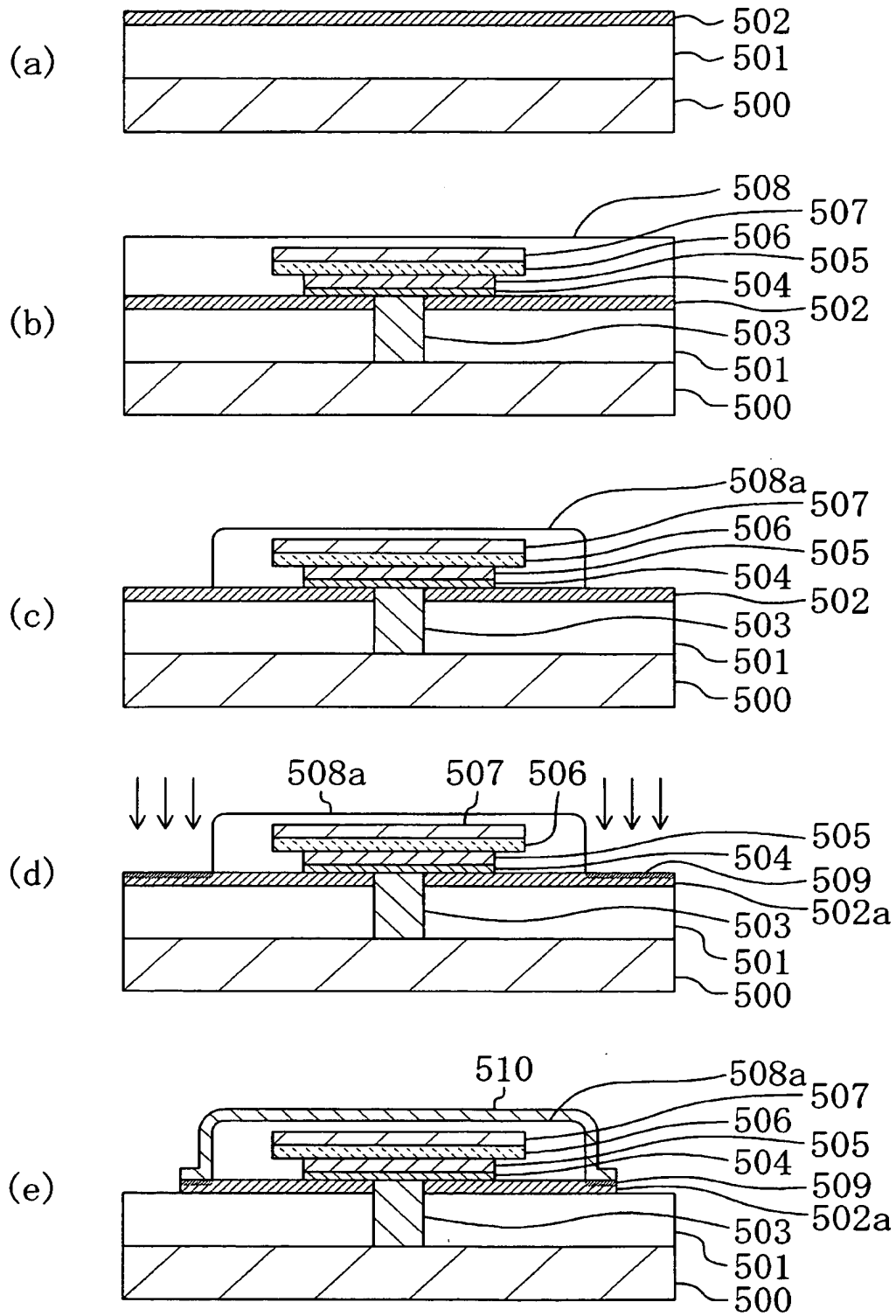
【図 5】



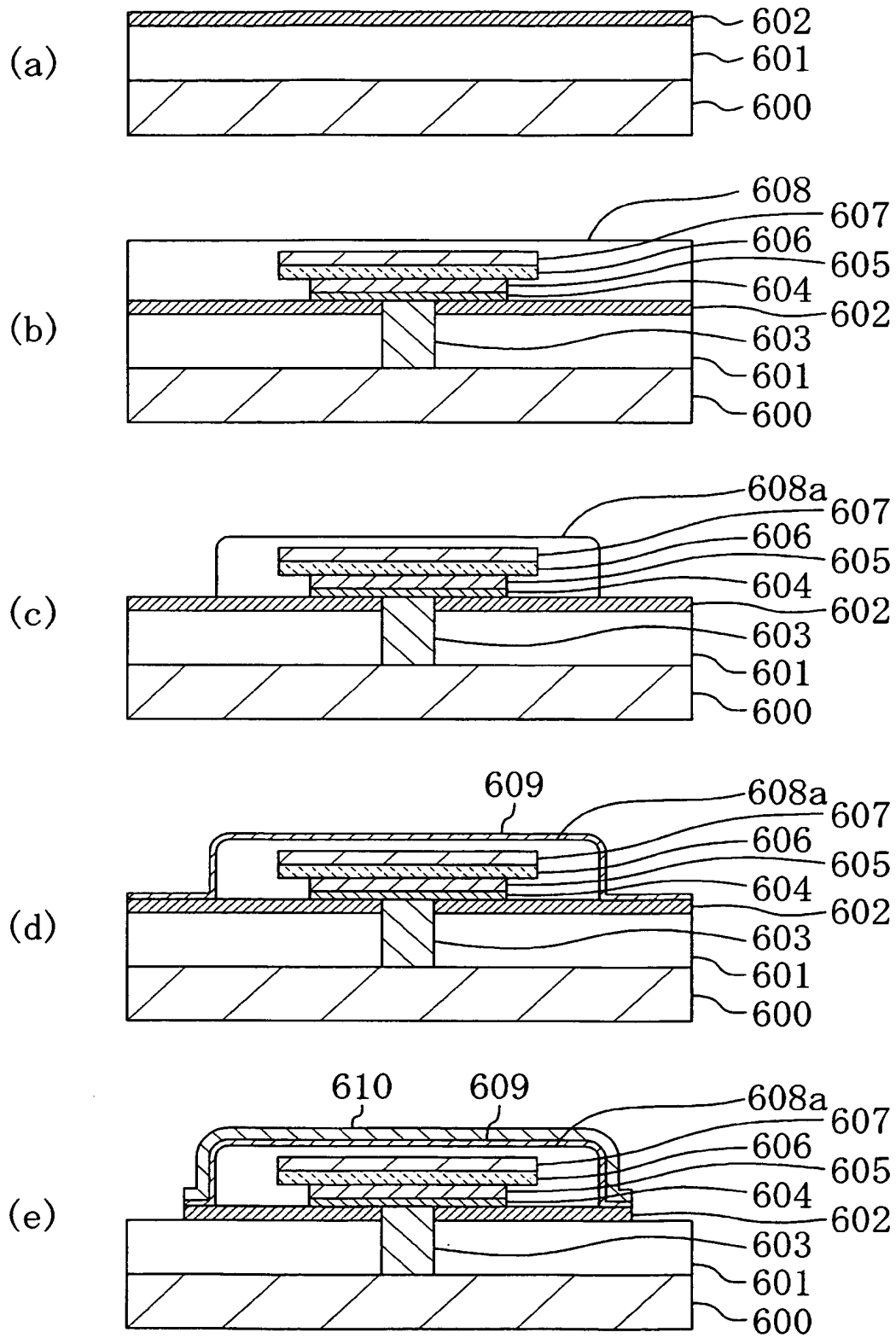
【図 6】



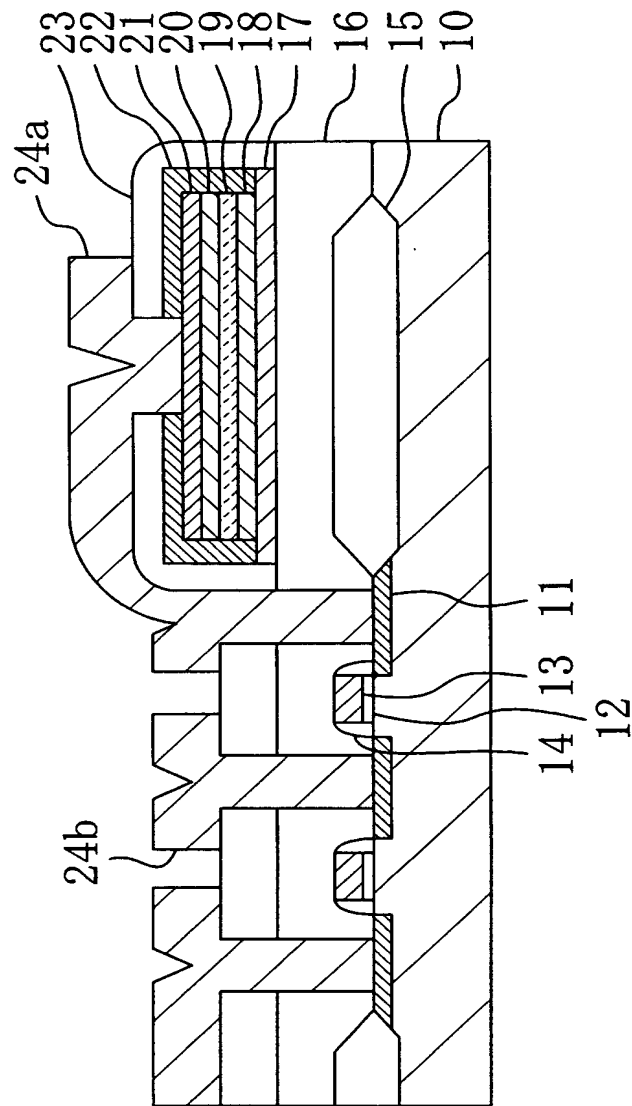
【図 7】



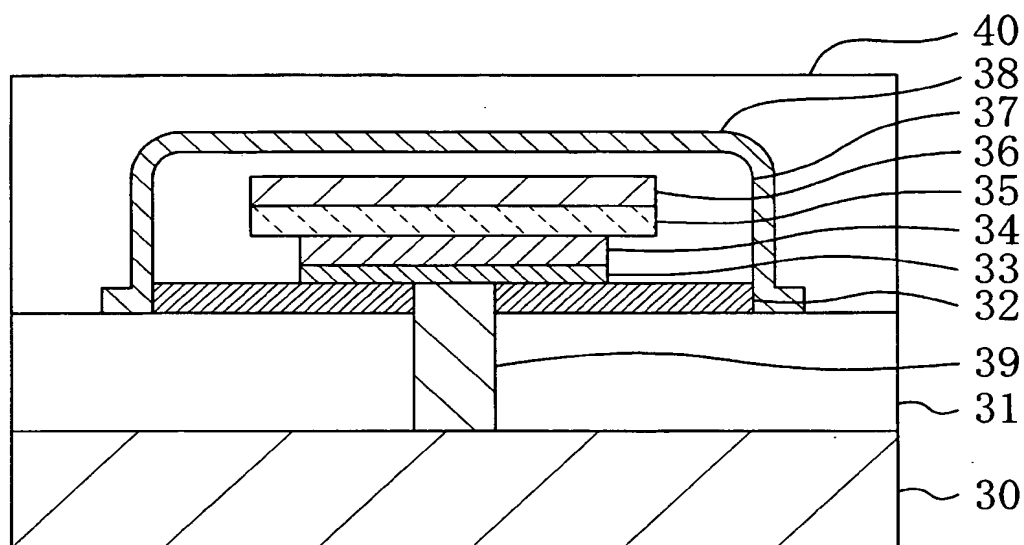
【図 8】



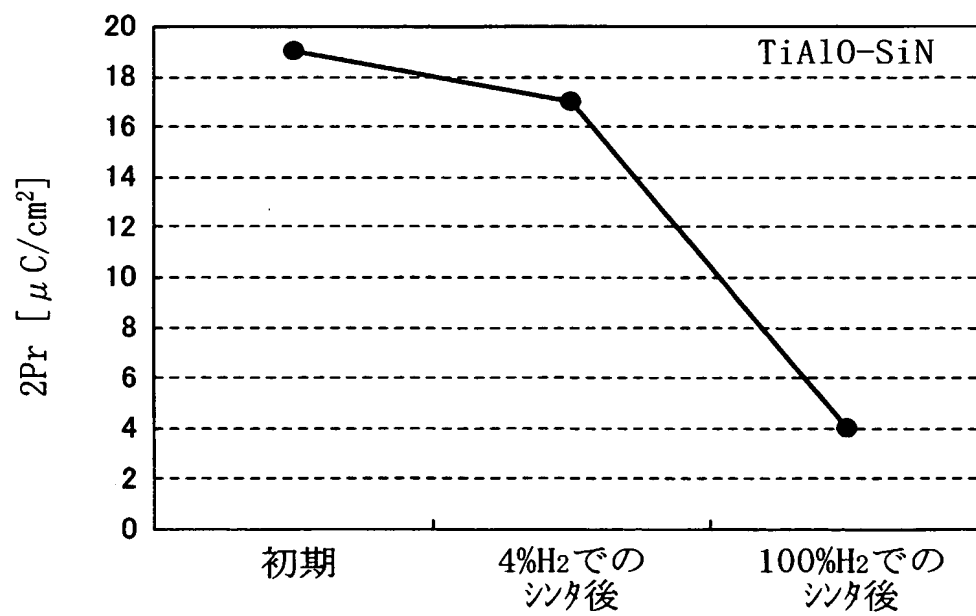
【図 9】



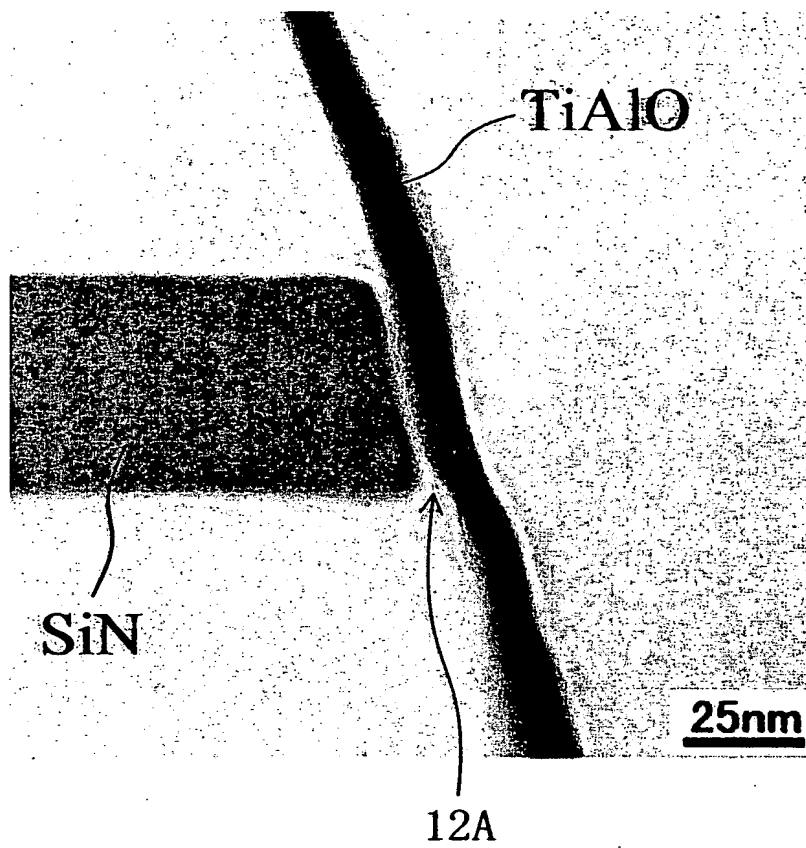
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタに対して還元性雰囲気中において熱処理を施した場合に、容量絶縁膜の分極特性が劣化することを低減することを目的とする。

【解決手段】 半導体装置は、下部電極、下部電極の上に形成された強誘電体膜又は高誘電率膜よりなる容量絶縁膜及び上部電極から構成される容量素子と、異なる工程により互いに接続するように形成され、容量絶縁膜に水素が拡散することを防止する、第 1 の水素バリア膜及び第 2 の水素バリア膜とを備えている。第 1 の水素バリア膜及び第 2 の水素バリア膜は、少なくとも 1 つの結合手を有する原子を共通に含んでいる。

【選択図】 なし

特願 2 0 0 3 - 1 4 9 4 4 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.